

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No. 249/442

In re patent application of

Wan-jun PARK, et al.

Group Art Unit: (Unassigned)

Serial No. (Unassigned)

Examiner: (Unassigned)

Filed: Concurrently

For: MRAM INCLUDING UNIT CELL FORMED OF ONE TRANSISTOR AND TWO MAGNETIC TUNNEL JUNCTIONS (MTJS) AND METHOD FOR FABRICATING THE SAME

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA. 22313-1450

Sir:


The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Application No. 2003-3476, filed January 18, 2003.

Respectfully submitted,

January 20, 2004
Date



Eugene M. Lee
Reg. No. 32,039
Richard A. Sterba
Reg. No. 43,162

LEE & STERBA, P.C.
1101 Wilson Boulevard Suite 2000
Arlington, VA 20009
Telephone: (703) 525-0978



This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0003476
Application Number

출원년월일 : 2003년 01월 18일
Date of Application JAN 18, 2003

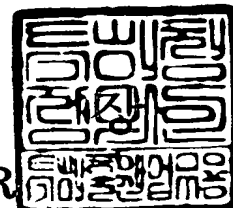
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 02 월 07 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2003.01.18
【국제특허분류】	H01L
【발명의 명칭】	단위 셀이 한 개의 트랜지스터와 두 개의 M T J 로 구성된 M R A M 및 그 제조방법
【발명의 영문명칭】	Magnetic RAM comprising unit cell having one transistor and two Magnetic Tunneling Junctions and method for manufacturing the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2000-002816-9
【발명자】	
【성명의 국문표기】	박완준
【성명의 영문표기】	PARK,Wan Jun
【주민등록번호】	610918-1002311
【우편번호】	135-280
【주소】	서울특별시 강남구 대치동 청실아파트 19동 408호
【국적】	KR
【발명자】	
【성명의 국문표기】	신형순
【성명의 영문표기】	SHIN,Hyung Soon
【주민등록번호】	591018-1001611

【우편번호】	120-750
【주소】	서울특별시 서대문구 대현동 이화여자대학교 정보통신학과
【국적】	KR
【발명자】	
【성명의 국문표기】	이승준
【성명의 영문표기】	LEE, Seung Jun
【주민등록번호】	640211-1052118
【우편번호】	120-750
【주소】	서울특별시 서대문구 대현동 이화여자대학교 정보통신학과
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 이영 필 (인) 대리인 이해영 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	4 면 4,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	33,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

단위 셀이 한 개의 트랜지스터와 두 개의 MTJ로 구성된 MRAM 및 그 제조방법에 관해 개시되어 있다. 여기서 본 발명은 반도체 기판; 상기 반도체 기판에 형성된 트랜지스터; 상기 트랜지스터를 덮도록 상기 반도체 기판 상에 형성된 층간 절연막; 및 상기 층간 절연막 내에 상기 트랜지스터의 드레인 영역과 병렬로 연결된 제1 및 제2 MTJ 셀을 포함하되, 상기 제1 MTJ 셀은 메인 셀로써 상기 층간 절연막 내에 구비된 제1 비트라인에, 상기 제2 MTJ 셀은 레퍼런스 셀로써 상기 층간 절연막 내에 구비된 제2 비트라인에 각각 연결되어 있고, 상기 제1 MTJ 셀과 상기 트랜지스터의 게이트 전극사이에 상기 제1 및 제2 비트라인과 수직한 데이터 라인이 구비된 것을 특징으로 하는 MRAM 및 그 제조방법을 제공한다. 본 발명의 MRAM은 싱글 셀 구조를 갖는 MRAM에 버금가는 셀 집적도를 가지면서 충분한 센싱 마진을 확보할 수 있고, 또한 고속 동작이 가능하며 노이즈를 줄일 수 있다. 아울러 오프 셋을 제거할 수 있고, 데이터 기록 동안에 MTJ 셀의 하판을 통해서 전류가 흐를 수 있으므로, 데이터 기록에 필요한 최소 전류량도 줄일 수 있다.

【대표도】

도 6

【명세서】

【발명의 명칭】

단위 셀이 한 개의 트랜지스터와 두 개의 MTJ로 구성된 MRAM 및 그 제조방법
 {Magnetic RAM comprising unit cell having one transistor and two Magnetic Tunneling
 Junctions and method for manufacturing the same}

【도면의 간단한 설명】

도 1 및 도 2는 종래 기술에 의한 MRAM의 회로도이다.

도 3 및 도 4는 도 1에 도시된 종래 기술에 의한 MRAM의 읽기 및 쓰기 동작을 설명하는 단면도이다.

도 5는 본 발명의 제1 실시예에 의한 한 개의 트랜지스터와 두 개의 MTJ로 구성된 MRAM의 회로도이다.

도 6은 본 발명의 제1 실시예에 의한 한 개의 트랜지스터와 두 개의 MTJ로 구성된 MRAM의 단면도이다.

도 7 내지 도 10은 도 6에 도시한 MRAM의 제조 방법을 단계별로 나타낸 단면도들이다.

도면의 주요 부분에 대한 부호설명

50:반도체 기판

52:필드 산화막

54:소오스

56:드레인

58:게이트 절연막

WL:워드라인(게이트 전극)

59:게이트 스페이서

60, 62, 68, 70:제1 내지 제4 층간 절연막

DL1, DL2: 제1 및 제2 데이터 라인

h1, h2, h3: 제1 내지 제3 콘택홀

64: 도전성 플러그

66: 패드 도전층

42, 44: 제1 및 제2 MTJ 셀

BL, /BL: 제1 및 제2 비트라인

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <15> 본 발명은 반도체 메모리 장치와 그 제조 방법에 관한 것으로서, 자세하게는 단위 셀이 한 개의 트랜지스터와 두 개의 MTJ로 구성된 MRAM 및 그 제조방법에 관한 것이다.
- <16> 자기 램(Magnetic RAM)은 DRAM 및 SRAM의 특성과 플래쉬 메모리와 같은 불휘발성 특성을 모두 갖고 있는 차세대 메모리 소자의 하나이다.
- <17> 현재의 MRAM은 도 1에 도시된 바와 같이 단위 셀이 한 개의 패스 트랜지스터(pass Tr)(10)와 한 개의 MTJ(Magnetic Tunneling Junction)층(20)으로 구성되거나 도 2에 도시된 바와 같이 단위 셀이 두 개의 패스 트랜지스터(22, 24)와 두 개의 MTJ층(22a, 24a)으로 구성된다.
- <18> 도 1에 도시된 MRAM의 경우, 로직 "0"과 "1"의 중간 레벨에 해당하는 레퍼런스 셀(reference cell) 어레이(미도시)가 추가된다. 반면, 도 2에 도시된 MRAM의 경우, 제1 패스 트랜지스터(22)와 제1 MTJ층(22a)으로 구성된 셀에 기록하고자 하는 데이터, 예컨대 "1"이 기록됨과 동시에 제2 패스 트랜지스터(24)와 제2

MTJ층(24a)으로 구성된 셀에 상기 기록하고자 하는 데이터와 반대되는 데이터, 곧 "0"이 기록된다. 이와 같이 도 2에 도시된 MRAM에서 제2 패스 트랜지스터(24)와 제2 MTJ층(24a)으로 구성된 셀은 제1 패스 트랜지스터(22)와 제1 MTJ층(22a)으로 구성된 셀에 대한 레퍼런스 셀이 된다.

<19> 도 2에 도시된 MRAM의 경우처럼, 단위 셀이 데이터가 저장되는 주 셀(main cell)과 상기 데이터의 반전된 데이터가 저장되는 레퍼런스 셀로 구성된 트윈 셀(twin cell)인 경우, 상기한 중간 레벨의 레퍼런스 셀이 필요한 도 1에 도시된 MRAM에 비해 센싱 마진(sensing margin)이 두 배가 되기 때문에, 데이터를 정확히 읽을 수 있을 뿐만 아니라, 도 2에서 볼 수 있듯이 주 및 레퍼런스 셀이 쌍(pair)을 이루기 때문에, 노이즈가 상쇄되는 효과도 얻을 수 있다.

<20> 그러나 도 2에 도시된 MRAM은 도 1에 도시된 MRAM에 비해 단위 셀의 면적이 넓기 때문에, 도 1에 도시된 MRAM에 비해 집적화에 불리한 단점을 갖고 있다. 반면, 도 1에 도시된 MRAM은 상기한 바와 같이 도 2에 도시된 MRAM에 비해 센싱 마진이 낮기 때문에, MRAM을 정상적으로 동작시키기 위해 MTJ층(20)의 자기 저항비(MR ratio)가 높아야 하고, MTJ층(20)의 균일성 또한 확보되어야 한다.

<21> 도 1 및 도 2에서 참조부호 BL, DL, WL, 및 /BL은 각각 비트라인, 비트라인(BL)과 함께 데이터 기록에 사용되는 데이터 라인, 워드 라인 및 비트라인(BL)에 인가되는 데이터의 반전된 데이터가 인가되는 비트라인을 나타낸다. 데이터 라인(DL)은 도 3 및 도 4에 도시된 바와 같이 MTJ층(20) 아래에 구비된다.

<22> 도 3은 단위 셀이 한 개의 패스 트랜지스터와 한 개의 MTJ층으로 구성된 MRAM에 기록된 데이터를 읽는 일반적인 방법을 보여준다.

- <23> 도 3을 참조하면, MRAM에 기록된 데이터는 워드라인(WL)에 소정의 전압을 인가하여 패스 트랜지스터(10)를 온(ON) 상태가 되도록 한 다음, 패스 트랜지스터(10)를 통해서 MTJ층(20)에 읽기전류(I_R)를 인가하고 이때 나타나는 전압을 측정하여 읽는다. 도 3에서 참조부호 S 및 D는 패스 트랜지스터(10)의 소오스 및 드레인을 나타낸다. 그리고 참조번호 26 및 28은 각각 패스 트랜지스터(10)의 드레인(D)에 연결되는 도전성 플러그 및 도전성 플러그(26) 상에 형성된 패드 도전층을 나타낸다.
- <24> 이러한 데이터 읽기 방법은 도 2에 도시된 트윈 셀 구조를 갖는 MRAM에 대한 데이터 읽기 방법과 크게 다르지 않다.
- <25> 곧, 도 2에 도시된 MRAM에 기록된 데이터는 같은 양의 전류를 상기 주 및 레퍼런스 셀에 인가한 다음, 비트라인들(BL, /BL)에 나타나는 전압 차이를 비교하여 읽는다. 그런데 이 과정에서 제1 및 제2 패스 트랜지스터(22, 24)의 드레인 전압이 달라져서 오프셋(offset)으로 작용할 가능성이 있다.
- <26> 한편, 단위 셀이 한 개의 패스 트랜지스터와 한 개의 MTJ층으로 구성된 MRAM에 데이터를 기록하는 일반적인 방법은 상기 MTJ층의 자화 상태를 바꾸는 것이다.
- <27> 구체적으로, 도 4를 참조하면, 비트라인(BL)과 데이터 라인(DL)에 각각 소정의 제1 및 제2 쓰기 전류(I_{w1} , I_{w2})를 인가한다. 이때, 제1 및 제2 쓰기 전류(I_{w1} , I_{w2})에 의해 자기장이 발생되고, 상기 자기장에 의해 MTJ층(20)의 자화 상태가 달라져서 MTJ층(20)은 데이터 "0" 또는 "1"로 대응되는 자기 저항을 갖게 된다.
- <28> 도 2에 도시된 트윈 셀 구조를 갖는 MRAM의 경우, 비트라인들(BL, /BL)과 데이터 라인(DL)에 소정의 쓰기 전류를 인가하여 데이터를 기록하게 된다.

<29> 구체적으로, 제1 및 제2 패스 트랜지스터(22, 24)가 오프(off)인 상태에서 비트라인(BL)과 다른 비트라인(/BL)에 방향이 반대인 전류가 인가된다. 이 결과, 제1 및 제2 MTJ층(22, 24)은 반대 방향으로 분극(polarization)되어 각 층은 서로 다른 자기 저항을 갖게 된다. 곧, 제1 MTJ층(22)에 소정의 데이터가 기록되고, 제2 MTJ층(24)에 상기 소정의 데이터가 반전된 것과 동일한 데이터가 기록된다.

<30> 상술한 바와 같이, 종래 기술에 의한 MRAM들의 경우, 도 1에 도시된 MRAM은 고집적화에 유리하나 센싱 마진이 낮아 자기 저항비를 증가시켜야 하고, MTJ의 균일성 확보해야 하는 문제가 있다. 그리고 도 2에 도시된 MRAM은 이와 달리 고속 동작과 충분한 센싱 마진을 확보할 수 있고, 노이즈도 상쇄할 수 있으나, 단위 셀의 면적이 증가하기 때문에, 집적도가 상대적으로 낮다는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<31> 본 발명이 이루고자하는 기술적 과제는 상술한 종래 기술의 문제점을 개선하기 위한 것으로서, 집적도는 한 개의 트랜지스터와 한 개의 MTJ로 구성되는 싱글 셀 구조를 갖는 MRAM 수준으로 유지하면서 충분한 센싱 마진을 얻을 수 있고 노이즈 상쇄 효과를 얻을 수 있는 MRAM을 제공함에 있다.

<32> 본 발명이 이루고자 하는 다른 기술적 과제는 상기 MRAM의 제조 방법을 제공함에 있다.

【발명의 구성 및 작용】

<33> 상기 기술적 과제를 달성하기 위하여, 본 발명은 반도체 기판; 상기 반도체 기판에 형성된 트랜지스터; 상기 트랜지스터를 덮도록 상기 반도체 기판 상에 형성된 층간 절연

막; 및 상기 층간 절연막 내에 상기 트랜지스터의 드레인 영역과 병렬로 연결된 제1 및 제2 MTJ 셀을 포함하되, 상기 제1 MTJ 셀은 메인 셀로써 상기 층간 절연막 내에 구비된 제1 비트라인에, 상기 제2 MTJ 셀은 레퍼런스 셀로써 상기 층간 절연막 내에 구비된 제2 비트라인에 각각 연결되어 있고, 상기 제1 MTJ 셀과 상기 트랜지스터의 게이트 전극사이에 상기 제1 및 제2 비트라인과 수직한 데이터 라인이 구비된 것을 특징으로 하는 MRAM 을 제공한다.

<34> 여기서, 상기 제1 MTJ 셀과 상기 데이터 라인사이에 상기 드레인 영역과 연결된 패드 도전층이 존재하고, 상기 제1 및 제2 MTJ 셀은 상기 패드 도전층 상에 형성되어 있다.

<35> 상기 층간 절연막에 상기 드레인 영역이 노출되는 콘택홀이 형성되어 있고, 상기 패드 도전층은 상기 콘택홀을 채우는 도전성 플러그의 전면과 접촉되어 있다.

<36> 상기 층간 절연막은 상기 트랜지스터를 덮는 제1 층간 절연막, 상기 데이터 라인을 덮도록 상기 제1 층간 절연막 상에 형성된 제2 층간 절연막 및 상기 제1 및 제2 비트라인과 상기 제2 층간 절연막사이에서 상기 패드 도전층과 상기 제1 및 제2 MTJ 셀을 감싸도록 형성된 제3 층간 절연막이 순차적으로 적층되어 형성된 것이다.

<37> 상기 다른 기술적 과제를 달성하기 위하여 본 발명은 반도체 기판 상에 트랜지스터를 형성하는 제1 단계; 상기 반도체 기판 상에 상기 트랜지스터를 덮는 제1 층간 절연막을 형성하는 제2 단계; 상기 제1 층간 절연막 상에 제1 데이터 라인을 형성하는 제3 단계; 상기 제1 층간 절연막 상에 상기 제1 데이터 라인을 덮는 제2 층간 절연막을 형성하는 제4 단계; 상기 제2 층간 절연막 상에 상기 트랜지스터의 드레인 영역에 연결되는 패드 도전층을 형성하되, 상기 제1 데이터 라인 위쪽 및 그 반대쪽으로 동등하게 확장되도록

록 형성하는 제5 단계; 상기 패드 도전층 상에 제1 및 제2 MTJ 셀을 형성하되, 상기 제1 MTJ 셀은 상기 제1 데이터 라인 위쪽으로, 상기 제2 MTJ 셀은 반대쪽으로 확장된 패드 도전층 상에 각각 형성하는 제6 단계; 상기 제2 층간 절연막 상에 상기 패드 도전층과 상기 제1 및 제2 MTJ 셀을 덮는 제3 층간 절연막을 형성하는 제7 단계; 및 상기 제3 층간 절연막 상에 상기 제1 MTJ 셀과 연결되는 제1 비트라인과 상기 제2 MTJ 셀과 연결되는 제2 비트라인을 각각 형성하는 제8 단계를 포함하는 것을 특징으로 하는 MRAM 제조방법을 제공한다.

<38> 이 과정에서, 상기 제5 단계는 상기 제1 및 제2 층간 절연막에 상기 제1 데이터 라인과 이격되고 상기 트랜지스터의 드레인 영역이 노출되는 제1 콘택홀을 형성하는 단계; 및 상기 제2 층간 절연막 상에 상기 제1 콘택홀을 채우는 상기 패드 도전층을 형성하는 단계를 더 포함하거나,

<39> 상기 제1 및 제2 층간 절연막에 상기 제1 데이터 라인과 이격되고 상기 트랜지스터의 드레인 영역이 노출되는 제1 콘택홀을 형성하는 단계; 상기 제1 콘택홀에 도전성 플러그를 채우는 단계; 및 상기 제2 층간 절연막 상에 상기 도전성 플러그의 전면과 접촉되는 상기 패드 도전층을 형성하는 단계를 더 포함한다.

<40> 상기 제3 단계에서 상기 제1 데이터 라인으로부터 이격된 상기 제1 층간 절연막 상에 더미 데이터 라인으로써 제2 데이터 라인을 상기 제1 데이터 라인과 동시에 형성한다.

<41> 상기 제8 단계는 상기 제3 층간 절연막에 상기 제1 및 제2 MTJ 셀이 노출되는 제2 및 제3 콘택홀을 형성하는 단계; 및 상기 제3 층간 절연막 상에 상기 제2 콘택홀을 채우

는 상기 제1 비트라인과 상기 제3 콘택홀을 채우는 상기 제2 비트라인을 동시에 형성하는 단계를 더 포함한다.

<42> 본 발명에 의한 MRAM을 이용하면, 싱글 셀 구조를 갖는 MRAM에 버금가는 집적도를 얻을 수 있고, 센싱 마진을 충분히 확보하면서 노이즈도 줄일 수 있다.

<43> 이하, 본 발명의 실시예에 의한 MRAM 및 그 제조 방법을 첨부된 도면들을 참조하여 상세하게 설명한다. 이 과정에서 도면에 도시된 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되게 도시된 것이다.

<44> 먼저, 도 5를 참조하여 MRAM에 대한 회로적 구성을 살펴보고, 도 6을 참조하여 기판 상에 적층된 적층물의 구성을 살펴본다.

<45> 도 5를 참조하면, 본 발명의 실시예에 의한 MRAM은 회로적으로 한 개의 패스 트랜지스터(40)와 이에 병렬로 연결된 제1 및 제2 MTJ 셀(42, 44)로 구성된다. 제1 MTJ 셀(42)은 주 셀(main cell)로써 필요에 따라 데이터 "0" 또는 "1"이 기록된다. 곧, 제1 MTJ 셀(42)에는 가변적으로 데이터를 기록할 수 있다. 반면, 제2 MTJ 셀(44)은 레퍼런스 셀(reference cell)로써, 제2 MTJ 셀(44)에 기록된 데이터는 일정하다. 곧, 제1 MTJ 셀(42)에는 데이터 "0" 또는 "1"이 임의로 기록될 수 있고, 기록된 데이터를 다른 데이터로 바꿀 수 있지만, 제2 MTJ 셀(44)에는 제1 MTJ 셀(42)과 무관하게 어느 한 데이터만 기록되어 있고, 이렇게 기록된 데이터는 제1 MTJ 셀(42)에 기록된 데이터가 달라지더라도 달라지지 않는다.

<46> 제1 및 제2 MTJ 셀(42, 44)은 패스 트랜지스터(40)의 드레인에 공통으로 연결된다. 패스 트랜지스터(40)의 게이트는 제1 및 제2 비트라인(BL, /BL)에 수직한 MRAM의 워드라

인(WL)에 연결된다. 제1 비트라인(BL)은 제1 MTJ 셀(42)에, 제2 비트라인(/BL)은 제2 MTJ 셀(44)에 각각 연결된다. 제1 비트라인(BL)은 제1 MTJ 셀(42)에 기록된 데이터를 읽을 때도 사용되고, 제1 MTJ 셀(42)에 데이터를 기록할 때도 데이터 라인(DL)과 함께 사용된다. 이와 달리 제2 MTJ 셀(44)에 기록된 데이터는 제1 MTJ 셀(42)에 기록된 데이터가 달라지더라도 변하지 않기 때문에, 제2 비트라인(/BL)은 제2 MTJ 셀(44)에 기록된 데이터를 읽는 경우에만 사용된다.

<47> 제1 MTJ 셀(42)에 데이터를 기록할 때, 제1 비트라인(BL)과 함께 사용되는 데이터 라인(DL)은 워드 라인(WL)과 평행하게 구비되어 있고, 제1 MTJ 셀(42)과 자기적으로 연결된다. 이에 따라 데이터를 기록하기 위해 데이터 라인(DL)에 전류를 인가할 때, 데이터 라인(DL)으로부터 발생하는 자기장에 의해 제1 MTJ 셀(42)의 자화 상태, 곧 자기 저항은 달라지게 된다.

<48> 도 5에서 데이터 라인(DL)이 제2 MTJ 셀(44)과도 자기적으로 연결된 것으로 도시되어 있으나, 이는 데이터 라인(DL)을 형성하는 과정에서 더미 데이터 라인이 제2 MTJ 셀(44) 아래에 형성되기 때문이다(도 6 참조).

<49> 이와 같은 MRAM에 기록된 데이터를 읽는 과정은 바로 제1 MTJ 셀(42)에 기록된 데이터를 읽는 과정으로써, 제1 및 제2 MTJ 셀(42, 44)에 소정의 읽기 전류를 인가하여 제1 및 제2 MTJ 셀(42, 44)의 자기 저항에 따라 제1 및 제2 비트라인(BL, /BL)에 각각 나타나는 전압차를 비교하여 제1 MTJ 셀(42)에 기록된 데이터와 제2 MTJ 셀(44)에 기록된 데이터의 동일성 여부를 판단한다. 이를 위한 수단으로써, 제1 및 제2 비트라인(BL, /BL)의 각 일단에 센서 앰프(미도시)가 연결되어 있다.

- <50> 상기 동일성 여부를 판단하는 과정에서 도 2에 도시된 바와 같이 단위 셀에 두 개의 패스 트랜지스터들(22, 24)이 구비된 종래 기술에 의한 MRAM과 달리, 본 발명의 MRAM은 한 개의 패스 트랜지스터(40)만을 구비한다. 따라서 상기 종래 기술에 의한 MRAM의 문제점 중의 하나인 오프 셋(off set)을 제거할 수 있다.
- <51> 계속해서, 도 6을 참조하여 도 5에 도시한 바와 같은 회로적 MRAM과 등가인 물리적 MRAM의 구성에 대해 설명한다.
- <52> 구체적으로, 반도체 기판(50)의 소정 영역에 필드 산화막(50)이 형성되어 있다. 필드 산화막(50)사이의 반도체 기판(50) 위에 워드라인(WL), 곧 게이트 전극이 존재하고, 워드라인(WL)과 반도체 기판(50)사이에 게이트 절연막(58)이 존재한다. 워드라인(WL) 양쪽의 반도체 기판(50)에 소오스 및 드레인 영역(54, 56)이 존재한다. 워드라인(WL)과 소오스 및 드레인 영역(54, 56)은 패스 트랜지스터(40)를 구성한다. 반도체 기판(50) 위쪽으로 워드라인(WL)을 덮는 제1 층간 절연막(60)이 형성되어 있다. 제1 층간 절연막(60) 상에 워드라인(WL)과 평행하게 제1 및 제2 데이터 라인(DL1, DL2)이 형성되어 있다. 제1 데이터 라인(DL1)은 워드라인(WL)이 형성된 위치에 상응하는 제1 층간 절연막(60) 상에 형성된 것이 바람직하다. 제1 데이터 라인(DL1)은 데이터 기록에 실제 사용된다. 필드 산화막(50)이 형성된 위치에 상응하는 제1 층간 절연막(50) 상에 형성된 제2 데이터 라인(DL2)은 제1 데이터 라인(DL1)과 달리 데이터 기록에 사용되지 않는 더미(dummy) 데이터 라인이다. 따라서 제2 데이터 라인(DL2)은 존재하지 않아도 무방하다. 제1 및 제2 데이터 라인(DL1, DL2)은 소정 간격만큼 떨어져 있다. 제1 층간 절연막(60) 상으로 제1 및 제2 데이터 라인(DL1, DL2)을 덮는 소정 두께의 제2 층간 절연막(62)이 형성되어 있다. 제2 층간 절연막(62)의 표면은 평평하다. 제1 및 제2 데이터 라인(DL1, DL2)사이의 제1

및 제2 층간 절연막(60, 62)에 소오스 영역(56)이 노출되는 제1 콘택홀(h1)이 형성되어 있다. 제1 콘택홀(h1)은 도전성 플러그(64)로 채워져 있다. 도전성 플러그(64)의 전면과 그 둘레의 제2 층간 절연막(62) 상에 패드 도전층(66)이 존재한다. 패드 도전층(66)은 제1 및 제2 데이터 라인(DL1, DL2) 위쪽으로 확장된 것이 바람직하다. 이러한 패드 도전층(66) 상에 제1 및 제2 MTJ 셀(42, 44)이 존재한다. 제2 MTJ 셀(44)은 제1 MTJ 셀(42)에 기록된 데이터를 판단하는데 있어 기준이 되는 셀이다. 제1 및 제2 MTJ 셀(42, 44)은 제1 및 제2 데이터 라인(DL1, DL2)이 떨어진 거리와 동등한 거리만큼 떨어져 있다. 따라서 제1 및 제2 MTJ 셀(42, 44)은 각각 제1 및 제2 데이터 라인(DL1, DL2) 바로 위쪽에 위치된 것이 바람직하다. 제2 층간 절연막(62) 상에 패드 도전층(66) 및 제1 및 제2 MTJ 셀(42, 44)을 덮는 제3 층간 절연막(68)이 형성되어 있다. 제3 층간 절연막(68)에 제1 및 제2 MTJ 셀(42, 44)의 일부 영역이 각각 노출되는 제2 및 제3 콘택홀(h2, h3)이 형성되어 있다. 제3 층간 절연막(68) 상에 제2 콘택홀(h2)을 채우면서 제1 MTJ 셀(42)과 접촉된 제1 비트라인(BL)과 제3 콘택홀(h3)을 채우면서 제2 MTJ 셀(44)과 접촉된 제2 비트라인(/BL)이 존재한다. 제1 및 제2 비트라인(BL, /BL)은 소정 간격만큼 떨어져 있다. 제1 및 제2 비트라인(BL, /BL)은 제1 및 제2 데이터 라인(DL1, DL2)과 수직하다. 제3 층간 절연막(68) 상으로 제1 및 제2 비트라인(BL, /BL)을 덮는 제4 층간 절연막(70)이 존재한다.

<53> 이와 같이, 본 발명의 MRAM은 반도체 기판(50) 상에 워드라인(WL)과 소오스 및 드레인 영역(54, 56)으로 이루어진 한 개의 패스 트랜지스터와 드레인 영역(56)에 병렬로 연결된 두 개의 MTJ 셀(42, 44)을 포함하는 바, 도 2에 도시된 바와 같은 트윈 셀 구조

를 갖는 종래 기술에 의한 MRAM에 비해 단위 셀을 형성하는데 필요한 면적이 좁다. 따라서, 상기 종래의 MRAM보다 집적도를 높일 수 있다.

<54> 또 일반적으로 데이터를 읽는 과정에서 패스 트랜지스터는 오프 상태가 되기 때문에, MTJ 셀을 통해 흐르는 전류는 0이 된다.

<55> 그러나 본 발명의 MRAM의 경우, 상부 및 하부판과 그 사이에 구비된 절연막으로 구성되는 MTJ 셀의 상기 하부판을 통해서 전류가 흐를 수 있다. 따라서 본 발명의 MRAM의 경우, 데이터를 기록하는 과정에서 MTJ 셀의 분극 상태를 바꾸기 위해 비트라인 및 데이터 라인에 인가해야하는 전류의 최소량을 줄일 수 있다.

<56> 다음에는 상기한 바와 같은 MRAM의 제조 방법에 대해 설명한다.

<57> 도 7을 참조하면, 반도체 기판(50)을 소자가 형성되는 활성영역과 그렇지 않는 비활성영역, 곧 필드영역으로 구분한다. 상기 필드 영역에 필드 산화막(52)을 형성한다. 필드 산화막(52)사이의 상기 활성영역 상에 게이트 절연막(58), 워드라인(WL), 곧 게이트 전극이 순차적으로 형성된 게이트 적층물을 형성한다. 상기 게이트 적층물의 측면에 게이트 스페이서(59)를 형성한다. 반도체 기판(50)에 도전성 불순물을 이온주입하여 게이트 스페이서(59)와 필드산화막(52)사이의 반도체 기판(50)에 소오스 및 드레인 영역(54, 56)을 형성한다. 이렇게 해서, 반도체 기판(50)에 도 5의 패스 트랜지스터(40)가 형성된다. 상기 도전성 불순물은 반도체 기판(50)이 N형 반도체 기판인 경우, P형인 것이 바람직하고, 반도체 기판(50)이 P형인 경우, N형인 것이 바람직하다.

<58> 도 8을 참조하면, 반도체 기판(50) 상으로 게이트 스페이서(59)가 형성된 결과물을 덮는 제1 층간 절연막(60)을 형성하고, 그 표면을 평탄화한다. 이러한 제1 층간 절연막

(60) 상에 제1 및 제2 데이터 라인(DL1, DL2)을 형성한다. 제1 및 제2 데이터 라인(DL1, DL2)은 소정 거리만큼 떨어져 있다. 제1 데이터 라인(DL1)은 데이터를 기록하는데 실제로 사용되는 도전성 라인으로써, 워드라인(WL) 바로 위쪽에, 워드라인(WL)과 평행하게 형성하는 것이 바람직하다. 반면, 제2 데이터 라인(DL2)은 데이터를 기록하는데 실제 사용되지 않는 더미 데이터 라인으로써, 필드 산화막(52) 위쪽에 형성한다. 제2 데이터 라인(DL2)은 더미 라인으로 형성된 것이기 때문에, 형성하지 않아도 무방하다. 제1 층간 절연막(60) 상에 제1 및 제2 데이터 라인(DL1, DL2)을 덮는 제2 층간 절연막(62)을 형성하고, 그 전면을 평탄화한다.

<59> 도 9를 참조하면, 제1 및 제2 데이터 라인(DL1, DL2)사이의 제1 및 제2 층간 절연막(60, 62)에 드레인 영역(56)이 노출되는 제1 콘택홀(h1)을 형성한다. 제1 콘택홀(h1)에 도전성 플러그(64)를 채운다. 제2 층간 절연막(62) 상에 도전성 플러그(64)의 전면을 덮는 패드 도전층(66)을 형성한다. 패드 도전층(66)은 도전성 플러그(64)와 동일한 물질로 형성하는 것이 바람직하다. 또한 제1 콘택홀(h1)의 깊이가 깊은 경우, 곧 종횡비(aspect ratio)가 큰 경우, 상기한 바와 같이 도전성 플러그(64)와 패드 도전층(66)을 각각 분리하여 형성하는 것이 바람직하나, 제1 콘택홀(h1)의 깊이가 얇은 경우, 패드 도전층(66)과 도전성 플러그(64)는 동시에 형성하는 것이 바람직할 수 있다.

<60> 한편, 하기 한 바와 같이 패드 도전층(66) 상에 두 개의 MTJ 셀이 소정 간격으로 형성되고, MRAM에서 데이터가 기록되는 과정을 고려하면, 상기 두 MTJ 셀은 제1 및 제2 데이터 라인(DL1, DL2) 바로 위쪽에 형성하는 것이 바람직하다. 이에 따라 패드 도전층(66)은 제1 및 제2 데이터 라인(DL1, DL2) 위쪽으로 확장되도록 형성하는 것이 바람직하다.

<61> 계속해서, 이러한 패드 도전층(66) 상에 제1 및 제2 MTJ 셀(42, 44)을 형성한다. 제1 및 제2 MTJ 셀(42, 44)은 각각 제1 및 제2 데이터 라인(DL1, DL2)과 대응되는 위치에 형성되는 것이 바람직하다. 따라서 제1 및 제2 MTJ 셀(42, 44)은 제1 및 제2 데이터 라인(DL1, DL2)이 떨어진 만큼 서로 떨어지게 형성하는 것이 바람직하다. 이와 같이 제1 및 제2 MTJ 셀(42, 44)이 패드 도전층(66) 상에 형성됨으로써 제1 및 제2 MTJ 셀(42, 44)은 패드 도전층(66) 및 도전성 플러그(64)를 통해서 상기 게이트 적층물과 소오스 및 드레인 영역으로 구성된 상기 패스 트랜지스터와 연결된다. 곧, 제1 및 제2 MTJ 셀(42, 44)은 상기 패스 트랜지스터와 병렬로 연결되어 있다. 제2 층간 절연막(62) 상으로 패드 도전층(66)과 제1 및 제2 MTJ 셀(42, 44)을 덮는 제3 층간 절연막(68)을 형성하고, 그 전면을 평탄화한다.

<62> 도 10을 참조하면, 제3 층간 절연막(68)에 제1 MTJ 셀(42)이 노출되는 제2 콘택홀(h2)과 제2 MTJ 셀(44)이 노출되는 제3 콘택홀(h3)을 형성한다. 이후, 제3 층간 절연막(68) 상에 제1 MTJ 셀(42)의 노출된 영역과 접촉되도록 제2 콘택홀(h2)을 채우는 제1 비트라인(BL)을 형성한다. 제1 비트라인(BL)은 워드라인(WL)과 제1 및 제2 데이터 라인(DL1, DL2)과 수직한 방향으로 형성하는 것이 바람직하다. 제1 비트라인(BL)을 형성함과 동시에 제2 MTJ 셀(44)의 노출된 영역과 접촉되도록 제3 콘택홀(h3)을 채우는 제2 비트라인(/BL)을 형성한다. 제2 비트라인(/BL)은 제1 비트라인(BL)으로부터 소정 거리만큼 떨어진 곳에 형성하되, 제1 비트라인(BL)과 평행하게 형성하는 것이 바람직하다. 제3 층간 절연막(68) 상으로 제1 및 제2 비트라인(BL, /BL)을 덮는 제4 층간 절연막(70)을 형성한다.

<63> 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 바람직한 실시예의 예시로서 해석되어야 한다. 예들 들어 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면, 제1 및 제2 데이터 라인(DL1, DL2)을 복층으로 형성할 수도 있을 것이다. 또한 제조 공정이 복잡할 수 있지만, 제1 MTJ 셀과 제2 MTJ 셀을 다른 공정으로 형성할 수도 있고, 그 물질적 구성을 다르게 할 수도 있을 것이다. 때문에 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

【발명의 효과】

<64> 상술한 바와 같이, 본 발명에 의한 MRAM은 단위 셀이 한 개의 패스 트랜지스터와 두 개의 MTJ 셀로 구성되고, 상기 패스 트랜지스터와 병렬로 연결된 상기 두 MTJ 셀들 중 하나는 임의의 데이터가 저장될 수 있는 메인 셀이고 나머지 하나는 항상 정해진 데이터가 기록되어 있는, 상기 메인 셀에 저장된 데이터를 읽을 때 비교 대상으로 사용되는 레퍼런스 셀인 바, 본 발명의 MRAM은 싱글 셀 구조를 갖는 MRAM에 버금가는 셀 집적도를 가지면서 트윈 셀 구조를 갖는 MRAM의 이점들인 충분한 센싱 마진을 확보하면서 고속으로 동작이 가능하며 노이즈도 줄일 수 있다. 아울러, 본 발명의 MRAM은 트윈 셀 구조의 MRAM과 달리 단위 셀에 한 개의 패스 트랜지스터를 구비하므로, 오프 셋이 제거된다. 또한, 본 발명의 MRAM의 경우, 일반적으로 패스 트랜지스터가 오프 상태가 되는 데이터를 기록하는 동안에도 MTJ 셀의 하판을 통해서 전류가 흐를 수 있으므로, 데이터를 기록할 때 필요한 최소 전류량을 줄일 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판;

상기 반도체 기판에 형성된 트랜지스터;

상기 트랜지스터를 덮도록 상기 반도체 기판 상에 형성된 층간 절연막; 및

상기 층간 절연막 내에 상기 트랜지스터의 드레인 영역과 병렬로 연결된 제1 및 제2 MTJ 셀을 포함하되,

상기 제1 MTJ 셀은 메인 셀로써 상기 층간 절연막 내에 구비된 제1 비트라인에, 상기 제2 MTJ 셀은 레퍼런스 셀로써 상기 층간 절연막 내에 구비된 제2 비트라인에 각각 연결되어 있고,

상기 제1 MTJ 셀과 상기 트랜지스터의 게이트 전극사이에 상기 제1 및 제2 비트라인과 수직한 데이터 라인이 구비된 것을 특징으로 하는 MRAM.

【청구항 2】

제 1 항에 있어서, 상기 제1 MTJ 셀과 상기 데이터 라인사이에 상기 드레인 영역과 연결된 패드 도전층이 존재하고, 상기 제1 및 제2 MTJ 셀은 상기 패드 도전층 상에 형성된 것을 특징으로 하는 MRAM.

【청구항 3】

제 2 항에 있어서, 상기 제2 MTJ 셀이 형성된 상기 패드 도전층 아래에 더미 데이터 라인이 형성된 것을 특징으로 하는 MRAM.

【청구항 4】

제 2 항에 있어서, 상기 층간 절연막에 상기 드레인 영역이 노출되는 콘택홀이 형성되어 있고, 상기 패드 도전층은 상기 콘택홀을 채우는 도전성 플러그의 전면과 접촉된 것을 특징으로 하는 MRAM.

【청구항 5】

제 2 항에 있어서, 상기 층간 절연막은 상기 트랜지스터를 덮는 제1 층간 절연막, 상기 데이터 라인을 덮도록 상기 제1 층간 절연막 상에 형성된 제2 층간 절연막 및 상기 제1 및 제2 비트라인과 상기 제2 층간 절연막사이에서 상기 패드 도전층과 상기 제1 및 제2 MTJ 셀을 감싸도록 형성된 제3 층간 절연막이 순차적으로 적층되어 형성된 것을 특징으로 하는 MRAM.

【청구항 6】

제 5 항에 있어서, 상기 제3 층간 절연막에 상기 제1 및 제2 MTJ 셀의 소정 영역이 노출되는 제2 및 제3 콘택홀이 형성된 것을 특징으로 하는 MRAM.

【청구항 7】

제 6 항에 있어서, 상기 제1 비트라인은 상기 제3 층간 절연막 상에 형성되어 상기 제2 콘택홀을 통해 상기 제1 MTJ 셀과 연결된 것을 특징으로 하는 MRAM.

【청구항 8】

제 6 항에 있어서, 상기 제2 비트라인은 상기 제3 층간 절연막 상에 형성되어 상기 제3 콘택홀을 통해 상기 제2 MTJ 셀과 연결된 것을 특징으로 하는 MRAM.

【청구항 9】

반도체 기판 상에 트랜지스터를 형성하는 제1 단계;

상기 반도체 기판 상에 상기 트랜지스터를 덮는 제1 층간 절연막을 형성하는 제2 단계;

상기 제1 층간 절연막 상에 제1 데이터 라인을 형성하는 제3 단계;

상기 제1 층간 절연막 상에 상기 제1 데이터 라인을 덮는 제2 층간 절연막을 형성하는 제4 단계;

상기 제2 층간 절연막 상에 상기 트랜지스터의 드레인 영역에 연결되는 패드 도전층을 형성하되, 상기 제1 데이터 라인 위쪽 및 그 반대쪽으로 동등하게 확장되도록 형성하는 제5 단계;

상기 패드 도전층 상에 제1 및 제2 MTJ 셀을 형성하되, 상기 제1 MTJ 셀은 상기 제1 데이터 라인 위쪽으로, 상기 제2 MTJ 셀은 반대쪽으로 확장된 패드 도전층 상에 각각 형성하는 제6 단계;

상기 제2 층간 절연막 상에 상기 패드 도전층과 상기 제1 및 제2 MTJ 셀을 덮는 제3 층간 절연막을 형성하는 제7 단계; 및

상기 제3 층간 절연막 상에 상기 제1 MTJ 셀과 연결되는 제1 비트라인과 상기 제2 MTJ 셀과 연결되는 제2 비트라인을 각각 형성하는 제8 단계를 포함하는 것을 특징으로 하는 MRAM 제조방법.

【청구항 10】

제 9 항에 있어서, 상기 제5 단계는 상기 제1 및 제2 층간 절연막에 상기 제1 데이터 라인과 이격되고 상기 트랜지스터의 드레인 영역이 노출되는 제1 콘택홀을 형성하는 단계; 및

상기 제2 층간 절연막 상에 상기 제1 콘택홀을 채우는 상기 패드 도전층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 MRAM 제조방법.

【청구항 11】

제 9 항에 있어서, 상기 제5 단계는 상기 제1 및 제2 층간 절연막에 상기 제1 데이터 라인과 이격되고 상기 트랜지스터의 드레인 영역이 노출되는 제1 콘택홀을 형성하는 단계;

상기 제1 콘택홀에 도전성 플러그를 채우는 단계; 및

상기 제2 층간 절연막 상에 상기 도전성 플러그의 전면과 접촉되는 상기 패드 도전층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 MRAM 제조방법.

【청구항 12】

제 9 항에 있어서, 상기 제3 단계에서 상기 제1 데이터 라인으로부터 이격된 상기 제1 층간 절연막 상에 더미 데이터 라인으로써 제2 데이터 라인을 상기 제1 데이터 라인과 동시에 형성하는 것을 특징으로 하는 MRAM 제조방법.

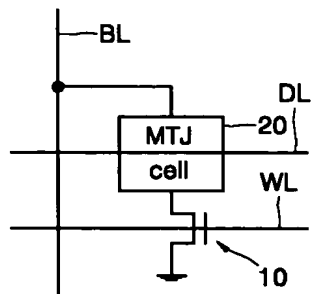
【청구항 13】

제 9 항에 있어서, 상기 제8 단계는 상기 제3 층간 절연막에 상기 제1 및 제2 MTJ 셀이 노출되는 제2 및 제3 콘택홀을 형성하는 단계; 및

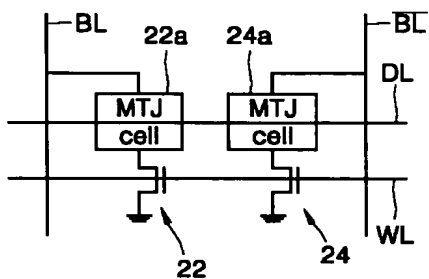
상기 제3 층간 절연막 상에 상기 제2 콘택홀을 채우는 상기 제1 비트라인과 상기 제3 콘택홀을 채우는 상기 제2 비트라인을 동시에 형성하는 단계를 더 포함하는 것을 특징으로 하는 MRAM 제조방법.

【도면】

【도 1】



【도 2】



【도 3】

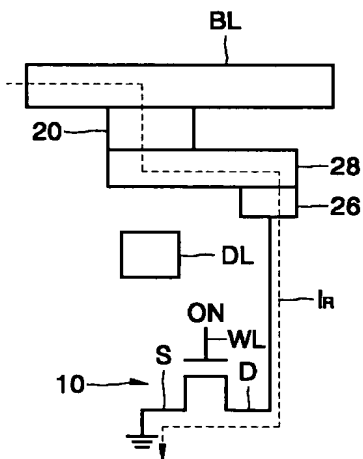


Diagram illustrating a memory array unit 40. The unit includes two MTJ cells, 42 and 44, connected in series between a bit line BL and a data line DL. A word line WL is connected to the gates of the access transistors for both cells. The other ends of the access transistors are connected to a common source line, which is grounded.

[illegible]